

(19)日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-258793

(P2002-258793A)

(43)公開日 平成14年9月11日(2002.9.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 7 0 L 5 C 0 5 8
	3/20		6 7 0 M 5 C 0 8 0
H 0 4 N 5/66	1 0 1	H 0 4 N 5/66	1 0 1 B
		G 0 9 G 3/28	H

審査請求 未請求 請求項の数13 O L (全 16 頁)

(21)出願番号 特願2001-52758(P2001-52758)

(22)出願日 平成13年2月27日(2001.2.27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 石塚 光洋

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 漆畑 栄一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100090158

弁理士 藤巻 正憲

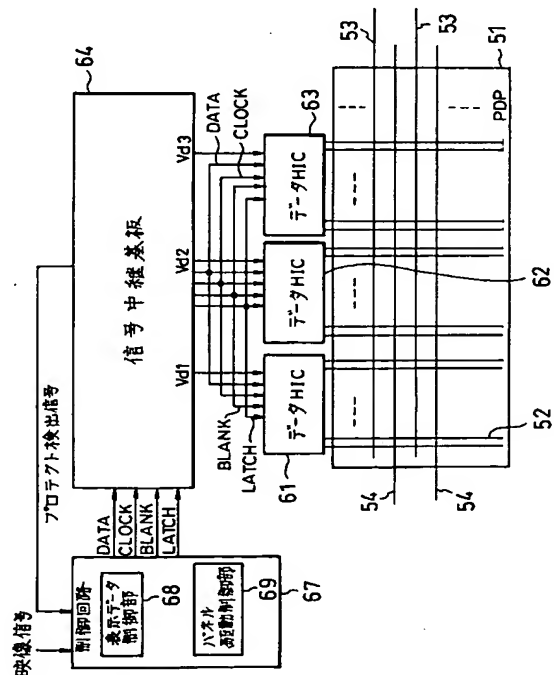
最終頁に続く

## (54)【発明の名称】 プラズマ表示装置及びその駆動方法

## (57)【要約】

【課題】 過剰な保護を回避しながら回路を適切に保護することができるプラズマ表示装置及びその制御方法を提供する。

【解決手段】 信号中継基板64では、サーミスタTH1乃至TH3によって検出された温度が電圧に変換され、更にA/D変換器66cによりデジタル信号に変換される。また、個々のデータドライバに供給される電流値は個別電力検出部71、72及び73により検出される。そして、A/D変換器66bによりデジタル信号に変換される。更に、データHICに供給される電流値の総和が総合電力検出部74により検出される。マイクロコンピュータ65は、ブランク信号BLANKの立ち上がりトリガとして、サーミスタTH1乃至TH3により検出された温度、個別電力検出部71、72及び73により検出された電流値並びに総合電力検出部74により検出された電流値の総和に基づいてプロテクト検出信号を制御回路に対して出力する。



## 【特許請求の範囲】

【請求項 1】 対向して配置された第 1 及び第 2 の基板、前記第 1 の基板における前記第 2 の基板との対向面側に互いに交互に設けられ第 1 の方向に延びる複数本の走査電極及び共通電極、並びに前記第 2 の基板における前記第 1 の基板との対向面側に設けられ前記第 1 の方向に直交する第 2 の方向に延びる複数本のデータ電極が設けられたプラズマディスプレイパネルと、前記データ電極にデータパルスを印加する複数個のデータドライバと、映像信号に基づいて前記データドライバの動作を制御する制御回路と、1 サブフィールド以上 1 フレーム未満の時間内に前記複数個のデータドライバからデータ電極に供給される電流の総和が予め設定された第 1 の規定電流値を超えたときに前記制御回路に対し前記データドライバの動作を抑制させる第 1 の保護信号を出力する保護信号出力回路と、を有することを特徴とするプラズマ表示装置。

【請求項 2】 前記保護信号出力回路は、前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第 2 の規定電流値を超えているか否かを判定し前記一のデータドライバに供給される電流が前記第 2 の規定電流値を超えている場合に前記制御回路に対し前記ドライバの動作を抑制させる第 2 の保護信号を出力することを特徴とする請求項 1 に記載のプラズマ表示装置。

【請求項 3】 対向して配置された第 1 及び第 2 の基板、前記第 1 の基板における前記第 2 の基板との対向面側に互いに交互に設けられ第 1 の方向に延びる複数本の走査電極及び共通電極、並びに前記第 2 の基板における前記第 1 の基板との対向面側に設けられ前記第 1 の方向に直交する第 2 の方向に延びる複数本のデータ電極が設けられたプラズマディスプレイパネルと、前記データ電極にデータパルスを印加する複数個のデータドライバと、映像信号に基づいて前記データドライバの動作を制御する制御回路と、前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第 2 の規定電流値を超えているか否かを判定し前記一のデータドライバに供給される電流が前記第 2 の規定電流値を超えている場合に前記制御回路に対し前記ドライバの動作を抑制させる第 2 の保護信号を出力する保護信号出力回路と、を有することを特徴とするプラズマ表示装置。

【請求項 4】 前記保護信号出力回路は、前記判定を前記データドライバ周辺の温度が予め設定された規定温度を超えたときに開始することを特徴とする請求項 2 又は 3 に記載のプラズマ表示装置。

【請求項 5】 前記制御回路は、前記第 1 又は第 2 の保護信号の入力をトリガとして、1 フレームを構成する複数のサブフィールドのうち最下位から順次サブフィールドを削除することを特徴とする請求項 1 乃至 4 のいずれ

か 1 項に記載のプラズマ表示装置。

【請求項 6】 前記制御回路は、前記第 1 又は第 2 の保護信号の入力をトリガとして、隣接する 2 本の走査電極に対し前記データドライバに互いに同一のデータパルスを印加させることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のプラズマ表示装置。

【請求項 7】 前記保護信号出力回路は、マイクロコンピュータにより構成されていることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のプラズマ表示装置。

【請求項 8】 対向して配置された第 1 及び第 2 の基板、前記第 1 の基板における前記第 2 の基板との対向面側に互いに交互に設けられ第 1 の方向に延びる複数本の走査電極及び共通電極、並びに前記第 2 の基板における前記第 1 の基板との対向面側に設けられ前記第 1 の方向に直交する第 2 の方向に延びる複数本のデータ電極が設けられたプラズマ表示装置に映像信号に応じた表示を行わせるプラズマ表示装置の駆動方法において、1 サブフィールド以上 1 フレーム未満の時間内に前記複数個のデータドライバからデータ電極に供給される電流の総和が予め設定された第 1 の規定電流値を超えたときに前記データドライバの動作を抑制させる工程を有することを特徴とするプラズマ表示装置の駆動方法。

【請求項 9】 前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第 2 の規定電流値を超えているか否かを判定する工程と、前記一のデータドライバに供給される電流が前記第 2 の規定電流値を超えている場合に前記ドライバの動作を抑制させる工程と、を有することを特徴とする請求項 8 に記載のプラズマ表示装置の駆動方法。

【請求項 10】 対向して配置された第 1 及び第 2 の基板、前記第 1 の基板における前記第 2 の基板との対向面側に互いに交互に設けられ第 1 の方向に延びる複数本の走査電極及び共通電極、並びに前記第 2 の基板における前記第 1 の基板との対向面側に設けられ前記第 1 の方向に直交する第 2 の方向に延びる複数本のデータ電極が設けられたプラズマ表示装置に映像信号に応じた表示を行わせるプラズマ表示装置の駆動方法において、前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第 2 の規定電流値を超えているか否かを判定する工程と、前記一のデータドライバに供給される電流が前記第 2 の規定電流値を超えている場合に前記ドライバの動作を抑制させる工程と、を有することを特徴とするプラズマ表示装置の駆動方法。

【請求項 11】 前記判定を前記データドライバ周辺の温度が予め設定された規定温度を超えたときに開始することを特徴とする請求項 9 又は 10 に記載のプラズマ表示装置の駆動方法。

【請求項 12】 前記ドライバの動作を抑制させる工程

は、1 フレームを構成する複数のサブフィールドのうち最下位から順次サブフィールドを削除する工程を有することを特徴とする請求項 8 乃至 11 のいずれか 1 項に記載のプラズマ表示装置の駆動方法。

【請求項 13】 前記ドライバの動作を抑制させる工程は、隣接する 2 本の走査電極に対し互いに同一のデータパルスを加する工程を有することを特徴とする請求項 8 乃至 12 のいずれか 1 項に記載のプラズマ表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は平面型テレビジョン及び情報表示ディスプレイ等に利用されるプラズマ表示装置及びその駆動方法に関し、特に、内蔵される回路の保護を図ったプラズマディスプレイパネルの駆動方法及び駆動回路に関する。

【0002】

【従来の技術】 一般に、プラズマディスプレイパネル（PDP）は、薄型構造でちらつきがなく表示コントラスト比が大きいこと、また、比較的に大画面とすることが可能であり、応答速度が速く、自発光型で蛍光体の利用により多色発光も可能であること等、数多くの特徴を有している。このため、近年、コンピュータ関連の表示装置分野及びカラー画像表示の分野等において、広く利用されるようになりつつある。

【0003】 このプラズマディスプレイには、その動作方式により、電極が誘電体で被覆されて間接的に交流放電の状態で作動作させる AC 型のものと、電極が放電空間に露出して直流放電の状態で作動作させる DC 型のものとがある。更に、AC 型のプラズマディスプレイには、駆動方式として表示セルのメモリを利用するメモリ動作型と、それを利用しないリフレッシュ動作型とがある。なお、プラズマディスプレイの輝度は、放電回数に比例する。上記のリフレッシュ型の場合は、表示容量が大きくなると輝度が低下するため、小表示容量のプラズマディスプレイに対して主として使用されている。

【0004】 図 9 は AC 型プラズマディスプレイの一つの表示セル構成を例示する斜視図である。

【0005】 表示セルには、ガラスからなる 2 つの絶縁基板 101 及び 102 が設けられている。絶縁基板 101 は背面基板となり、絶縁基板 102 は前面基板となる。

【0006】 絶縁基板 102 における絶縁基板 101 との対向面側には、透明な走査電極 103 及び透明な共通電極 104 が設けられている。走査電極 103 及び共通電極 104 は、パネルの水平方向（横方向）に延びている。また、夫々走査電極 103 及び共通電極 104 に重なるようにトレース電極 105 及び 106 が配置されている。トレース電極 105 及び 106 は、例えば金属製であり、各電極と外部の駆動装置との間の電極抵抗値を

小さくするために設けられている。更に、走査電極 103 及び共通電極 104 を覆う誘電体層 112 並びにこの誘電体層 112 を放電から保護する酸化マグネシウム等からなる保護層 114 が設けられている。

【0007】 絶縁基板 101 における絶縁基板 102 との対向面側には、走査電極 103 及び共通電極 104 と直交するデータ電極 107 が設けられている。従って、データ電極 107 は、パネルの垂直方向（縦方向）に延びる。また、水平方向で表示セルを区切る隔壁 109 が設けられている。また、データ電極 107 を覆う誘電体層 113 が設けられ、隔壁 109 の側面及び誘電体層 113 の表面上に放電ガスの放電により発生する紫外線を可視光 110 に変換する蛍光体層 111 が形成されている。そして、絶縁基板 101 及び 102 の空間に隔壁 109 により放電ガス空間 108 が確保され、この放電ガス空間 108 内に、ヘリウム、ネオン若しくはキセノン等又はこれらの混合ガスからなる放電ガスが充填される。

【0008】 図 10 は従来の AC 型プラズマディスプレイを示すブロック図である。PDP 1 に、行方向に延びる  $n$  ( $n$ : 自然数) 本の走査電極 3-1 乃至 3- $n$  (103) 及び  $n$  本の共通電極 4-1 乃至 4- $n$  (104) が互いに交互に所定間隔で設けられ、これらの走査電極 3-1 乃至 3- $n$  及び共通電極 4-1 乃至 4- $n$  に直交するように列方向に延びる  $m$  ( $m$ : 自然数) 本のデータ電極 10-1 乃至 10- $m$  (107) が設けられている。従って、PDP 1 には、( $n \times m$ ) 個の表示セルが設けられている。

【0009】 従来のプラズマディスプレイには、PDP 1 の駆動回路として、駆動用電源 21、コントローラ 22、スキンドライバ 23、走査パルスドライバ 24、維持ドライバ 25 及びデータドライバ 26 が設けられている。

【0010】 駆動用電源 21 は、例えば、5V の論理電圧  $V_{dd}$ 、約 70V のデータ電圧  $V_d$  及び約 170V の維持電圧  $V_s$  を生成すると共に、維持電圧  $V_s$  に基づいて、約 400V のプライミング電圧  $V_p$ 、約 100V の走査ベース電圧  $V_{bw}$  及び約 180V のバイアス電圧  $V_{sw}$  を生成する。論理電圧  $V_{dd}$  はコントローラ 22 に供給され、データ電圧  $V_d$  はデータドライバ 26 に供給され、維持電圧  $V_s$  はスキンドライバ 23 及び維持ドライバ 25 に供給され、プライミング電圧  $V_p$  及び走査ベース電圧  $V_{bw}$  はスキンドライバ 23 に供給され、バイアス電圧  $V_{sw}$  は維持ドライバ 25 に供給される。

【0011】 コントローラ 22 は、外部から供給される映像信号  $S_v$  に基づいて、スキンドライバ制御信号  $S_{scd1}$  乃至  $S_{scd6}$ 、走査パルスドライバ制御信号  $S_{spd11}$  乃至  $S_{spd1n}$  及び  $S_{spd21}$  乃至  $S_{spd2n}$ 、維持ドライバ制御信号  $S_{sud1}$  乃至  $S_{sud3}$  並びにデータドライバ制御信号  $S_{dd11}$  乃至  $S_{dd1n}$  及び  $S_{dd21}$  乃至  $S_{dd2n}$  を生成する。

dd1m及びSdd21乃至Sdd2mを生成する回路である。スキヤンドライバ制御信号Sscd1乃至Sscd6はスキヤンドライバ23に供給され、走査パルスドライバ制御信号Sspd11乃至Sspd1n及びSspd21乃至Sspd2nは走査パルスドライバ24に供給され、維持ドライバ制御信号Ssud1乃至Ssud3は維持ドライバ25に供給され、データドライバ制御信号Sdd11乃至Sdd1m及びSdd21乃至Sdd2mはデータドライバ26に供給される。

【0012】スキヤンドライバ23は、図11に示すように、例えば6個のスイッチ23-1乃至23-6から構成されている。スイッチ23-1の一端にはプライミング電圧Vpが印加され、その他端はポジティブライン27に接続されている。スイッチ23-2の一端には維持電圧Vsが印加され、その他端はポジティブライン27に接続されている。スイッチ23-3の一端は接地され、その他端はネガティブライン28に接続されている。スイッチ23-4の一端には走査ベース電圧Vbwが印加され、その他端はネガティブライン28に接続されている。スイッチ23-5の一端は接地され、その他端はポジティブライン27に接続されている。スイッチ23-6の一端は接地され、その他端はネガティブライン28に接続されている。スイッチ23-1乃至23-6は、夫々スキヤンドライバ制御信号Sscd1乃至Sscd6に基づいてオン/オフを切り替え、ポジティブライン27及びネガティブライン28を介して所定波形の電圧が走査パルスドライバ24に供給される。

【0013】走査パルスドライバ24は、図11に示すように、例えばn個のスイッチ24-11乃至24-1n、n個のスイッチ24-21乃至24-2n、n個のダイオード24-31乃至24-3n及びn個のダイオード24-41乃至24-4nから構成されている。ダイオード24-31乃至24-3nは、夫々スイッチ24-11乃至24-1nの両端に並列接続され、ダイオード24-41乃至24-4nは、夫々スイッチ24-21乃至24-2nの両端に並列接続されている。また、スイッチ24-1a（a：n以下の自然数）とスイッチ24-2aとが従属接続され、スイッチ24-11乃至24-1nの各他端はネガティブライン28に共通接続され、スイッチ24-21乃至24-2nの各他端はポジティブライン27に共通接続されている。更に、スイッチ24-1aとスイッチ24-2aとの接続点は、PDP1の上から第a行目に配置された走査電極3-aに接続されている。スイッチ24-11乃至24-1n及び24-21乃至24-2nは、夫々走査パルスドライバ制御信号Sspd11乃至Sspd1n及びSspd21乃至Sspd2nに基づいてオン/オフを切り替え、走査電極3-1乃至3-nに、夫々所定波形の電圧Psc1乃至Pscnが順次供給される。

【0014】維持ドライバ25は、図12に示すよう

に、例えば3個のスイッチ25-1乃至25-3から構成されている。スイッチ25-1の一端には維持電圧Vsが印加され、その他端には共通電極4-1乃至4-nが共通接続されている。スイッチ25-2の一端は接地され、その他端には共通電極4-1乃至4-nが共通接続されている。スイッチ25-3の一端にはバイアス電圧Vswが印加されると共に、その他端には共通電極4-1乃至4-nが共通接続されている。スイッチ25-1乃至25-3は、夫々維持ドライバ制御信号Ssud1乃至Ssud3に基づいてオン/オフを切り替え、共通電極4-1乃至4-nに所定波形の電圧Psuが同時に供給される。

【0015】データドライバ26は、図13に示すように、例えばm個のスイッチ26-11乃至26-1m、m個のスイッチ26-21乃至26-2m、m個のダイオード26-31乃至26-3m及びm個のダイオード26-41乃至26-4mから構成されている。ダイオード26-31乃至26-3mは、夫々スイッチ26-11乃至26-1mの両端に並列接続され、ダイオード26-41乃至26-4mは、夫々スイッチ26-21乃至26-2mの両端に並列接続されている。スイッチ26-1b（b：m以下の自然数）とスイッチ26-2bとが従属接続され、スイッチ26-11乃至26-1mの各他端は接地に共通接続され、スイッチ26-21乃至26-2mの各他端にはデータ電圧Vdが供給されている。更に、スイッチ26-1bとスイッチ26-2bとの接続点は、PDP1の左から第b列目に配置されたデータ電極10-bに接続されている。スイッチ26-11乃至26-1m及び26-21乃至26-2mは、夫々データドライバ制御信号Sdd11乃至Sdd1m及びSdd21乃至Sspd2mに基づいてオン/オフを切り替え、データ電極10-1乃至10-mに、夫々所定波形の電圧P d 1乃至P d mが順次供給される。

【0016】次に、上述のように構成された従来のプラズマディスプレイの書込選択型駆動動作について説明する。図14は従来のプラズマディスプレイの書込選択型駆動動作を示すタイミングチャートである。この書込選択型駆動動作では、サブフィールド法が採用され、各サブフィールドには、順次設定されるプライミング期間Tp、アドレス期間Ta、維持期間Ts及び電荷消去期間Teの4つの期間が設けられている。以下、走査電極及び共通電極の基準電位を維持電圧Vsとし、これよりも高い電位を正極性といい、これよりも低い電位を負極性という。また、データ電極の基準電位は接地電位GNDとし、これよりも高い電位を正極性、これよりも低い電位を負極性という。

【0017】プライミング期間Tpでは、先ず、外部から供給される映像信号Svに基づいて、コントローラ22がスキヤンドライバ制御信号Sscd1乃至Sscd

6、維持ドライバ制御信号  $S_{sud1}$  乃至  $S_{sud3}$ 、走査パルスドライバ制御信号  $S_{spd11}$  乃至  $S_{spd1n}$  及び  $S_{spd21}$  乃至  $S_{spd2n}$  の生成を開始すると共に、映像信号  $S_v$  に基づいたレベルのデータドライバ制御信号  $S_{dd11}$  乃至  $S_{dd1m}$  及びロウレベルのデータドライバ制御信号  $S_{dd21}$  乃至  $S_{dd2m}$  の生成を開始し、これらの制御信号を所定のドライバに供給する。

【0018】この結果、プライミング期間  $T_p$  においては、ハイレベルのスキャンドライバ制御信号  $S_{scd1}$  によってスイッチ  $23-1$  がオンすると共に、ハイレベルの維持ドライバ制御信号  $S_{sud2}$  によりスイッチ  $25-2$  がオンする。従って、図13に示すように、全ての走査電極  $3-1$  乃至  $3-n$  に正極性のプライミングパルス  $P_{prp}$  が印加され、全ての共通電極  $4-1$  乃至  $4-n$  に負極性のプライミングパルス  $P_{prn}$  が印加される。このため、全ての表示セルにおいて、走査電極  $103$  ( $3-1$  乃至  $3-n$ ) と共通電極  $104$  ( $4-1$  乃至  $4-n$ ) との間の電極間ギャップ近傍の放電ガス空間  $108$  でプライミング放電が発生する。これにより、表示セルの放電を発生させやすくする活性粒子が放電ガス空間  $108$  内に生成されると共に、走査電極  $3-1$  乃至  $3-n$  に負の壁電荷が付着し、共通電極  $4-1$  乃至  $4-n$  に正の壁電荷が付着し、データ電極  $10-1$  乃至  $10-m$  上に正の壁電荷が付着する。

【0019】続いて、維持ドライバ制御信号  $S_{sud2}$  がロウレベルに立ち下がることによりスイッチ  $25-2$  がオフすると同時に、維持ドライバ制御信号  $S_{sud1}$  がハイレベルに立ち上がることによりスイッチ  $25-1$  がオンする。その後スキャンドライバ制御信号  $S_{scd2}$  が立ち下がることによりスイッチ  $23-2$  がオフすると共に、スキャンドライバ制御信号  $S_{scd3}$  が立ち上がることによりスイッチ  $23-3$  がオンする。従って、全ての共通電極  $4-1$  乃至  $4-n$  の電位が約  $170V$  の維持電圧  $V_s$  に保持された後、全ての走査電極  $3-1$  乃至  $3-n$  にプライミング消去パルス  $P_{pre}$  が印加される。このため、全ての表示セルにおいて弱い放電が発生する。これにより、走査電極  $3-1$  乃至  $3-n$  上の負の壁電荷、共通電極  $4-1$  乃至  $4-n$  上の正の壁電荷及びデータ電極  $10-1$  乃至  $10-m$  上の正の壁電荷が減少する。

【0020】次に、アドレス期間  $T_a$  の初期状態においては、ハイレベルの維持ドライバ制御信号  $S_{sud3}$  によりスイッチ  $25-3$  がしていると共に、プライミング期間  $T_p$  の後半から供給されているハイレベルのスキャンドライバ制御信号  $S_{scd4}$  及び  $S_{scd5}$  によりスイッチ  $23-4$  及び  $23-5$  がオンしている。従って、全ての共通電極  $4-1$  乃至  $4-n$  に正極性（バイアス電圧  $V_{sw}$ ）のバイアスパルス  $P_{bp}$  が印加されると共に、全ての走査電極  $3-1$  乃至  $3-n$  に印加されるパル

ス  $P_{sc1}$  乃至  $P_{scn}$  の電位が一旦走査ベース電圧  $V_{bw}$  に保持される。

【0021】このような状態において、走査パルスドライバ制御信号  $S_{spd11}$  乃至  $S_{spd1n}$  を順次ロウレベルに立ち下げると共に、これに整合させて走査パルスドライバ制御信号  $S_{spd21}$  乃至  $S_{spd2n}$  を順次ハイレベルに立ち上げることにより、スイッチ  $24-11$  乃至  $24-1n$  を順次オフさせると共に、スイッチ  $24-21$  乃至  $24-2n$  を順次オンさせる。更に、これに同期して、図示しないが、データドライバ制御信号  $S_{dd11}$  乃至  $S_{dd1m}$  を映像信号  $S_v$  に基づいてハイレベルに立ち上げると共に、これに整合させてデータドライバ制御信号  $S_{dd21}$  乃至  $S_{dd2m}$  を立ち下げることにより、スイッチ  $26-11$  乃至  $26-1m$  を映像信号  $S_v$  に基づいてオンさせると共に、スイッチ  $26-21$  乃至  $26-2m$  をオフさせる。これにより、第  $a$  行目の第  $b$  列目の表示セルにおいて書き込みが行われる場合には、走査電極  $3-a$  に負極性の走査パルス  $P_{wsn}$  が印加されると同時に、第  $b$  列目のデータ電極  $10-b$  に正極性のデータパルス  $P_{db}$  が印加される。この結果、第  $a$  行目の第  $b$  列目の表示セルにおいて対向放電が発生し、更にこの対向放電をトリガとする面放電が書込放電として走査電極及び共通電極間で発生し、電極に壁電荷が付着する。これに対し、書込放電が発生しなかった表示セルにおいては、プライミング期間  $T_a$  の電荷消去後の壁電荷が少ない状態のままである。

【0022】次に、維持期間  $T_s$  においては、スキャンドライバ制御信号  $S_{scd2}$  及び  $S_{scd6}$  がそのサブフィールドに応じた回数だけ交互に立ち上がり／立ち下がり繰り返す。この結果、スイッチ  $23-2$  及び  $23-6$  が交互にオン／オフを繰り返す。また、これと同期して、維持ドライバ制御信号  $S_{sud1}$  及び  $S_{sud2}$  もそのサブフィールドに応じた回数だけ交互に立ち上がり／立ち下がり繰り返す。この結果、スイッチ  $25-1$  及び  $25-2$  が交互にオン／オフを繰り返す。従って、全ての走査電極  $3-1$  乃至  $3-n$  に負極性の維持パルス  $P_{sun1}$  がサブフィールドに応じた回数だけ印加されると共に、全ての共通電極  $4-1$  乃至  $4-n$  に負極性の維持パルス  $P_{sun2}$  がサブフィールドに応じた回数だけ維持パルス  $P_{sun1}$  に対し排他的に印加される。これにより、アドレス期間  $T_a$  で書き込みが行われなかった表示セルの壁電荷量は極めて少ないので、その表示セルに維持パルスが印加されても維持放電は発生しない。一方、アドレス期間  $T_a$  で書込放電が発生した表示セルにおいては、走査電極に正電荷が、共通電極に負電荷が付着しているため、維持パルスと壁電荷電圧とが互いに重畳され、電極間の電圧が放電開始電圧を超えて放電が発生する。

【0023】次に、電荷消去期間  $T_e$  においては、スキャンドライバ制御信号  $S_{scd3}$  が立ち上がることに

リスイッチ 23-3 がオンする。この結果、全ての走査電極 3-1 乃至 3-n に負極性の電荷消去パルス  $P_{een}$  が印加される。従って、全ての表示セルにおいて弱い放電が発生する。これにより、維持期間  $T_s$  において発光していた表示セル内の走査電極及び共通電極上に蓄積していた壁電荷が消去され、全ての表示セルの電荷状態が均一化される。

【0024】そして、このようなサブフィールドが繰り返されて 1 のフィールドが構成される。維持パルス数をサブフィールド毎に異ならせ、そのサブフィールドの組み合わせによって階調表現を実現することができる。従って、各サブフィールドの維持パルス数の比を、例えば 1:2:4:8:16:32:64:128 にすると、256 ( $=2^8$ ) 階調を表現することができる。

【0025】このようなプラズマ表示装置においては、データドライバにおける電力の損失は表示する映像により大きく変動し、プラズマ表示装置全体の消費電力はデータドライバにおける最大損失に大きく依存している。このため、データドライバにおける電力の損失の低減を図った表示装置が種々提案されている（特許 2853537 号公報、特開平 11-38930 号公報）。図 15 は特開平 11-38930 号公報に開示された表示装置を示すブロック図である。

【0026】特許 2853537 号公報に開示された表示装置では、1 フレーム単位で消費されるアドレス電流、即ちデータドライバから供給される電流の値を検出し、その値が所定値を超えたときにアドレス周波数が低減されている。

【0027】また、特開平 11-38930 号公報に開示された表示装置においては、走査電極 53 及び共通電極 54 が設けられた PDP 51 のデータ電極 52 に接続された 3 個のドライバ集積回路 (IC) 84 がアドレスドライバ回路 83 に設けられている。アドレスドライバ回路 83 には、更に温度検出回路 85 が設けられている。アドレスドライバ回路 83 には制御回路 67 からデータ信号 DATA、クロック信号 CLOCK、ブランク信号 BLANK 及びラッチ信号 LATCH が入力される。制御回路 67 には、表示データ制御部 68 及びパネル駆動制御部 69 が設けられており、入力された映像信号に基づいて表示データ制御部 68 によりデータ信号 DATA が作成され、パネル駆動制御部 69 によりクロック信号 CLOCK、ブランク信号 BLANK 及びラッチ信号 LATCH が作成される。制御回路 67 には、マイクロコンピュータ 81 からの制御信号が入力される。なお、マイクロコンピュータ 81 には温度検出回路 85 から温度の検出結果が入力され、マイクロコンピュータ 81 は、この検出結果に基づいてアドレスドライバ回路 83 に電源電圧を供給する電源 82 の動作の制御も行う。

【0028】このような表示装置によれば、アドレスドライバ回路 83 の温度に応じて電源電圧の制御を行うこ

とが可能である。

【0029】なお、データドライバにおいて最大損失が発生する表示は、1 ドット千鳥の表示、即ち一の表示セルが発光状態であればその表示セルに上下左右で隣接する全ての表示セルは非発光状態であり、更にこれらの非発光状態の表示セルに上下左右で隣接する全ての表示セルは発光状態であり、このような関係がパネル全体で成り立っているような表示である。

【0030】

【発明が解決しようとする課題】しかしながら、特許 2853537 号公報に開示された表示装置においては、消費電流の検出が 1 フレーム単位で行われるため、1 フレーム内に一時的に消費電流が高くなるサブフィールドがあったとしても、例えば一のフレームの後半部分及びその次のフレームの前半部分に消費電流が高くなるサブフィールドが連続して存在していても、1 フレーム全体での消費電流が基準値を超えていなければ、何ら保護が行われない。従って、電源への負荷が多大なものになる虞がある。また、データ電極毎にドライバが設けられるが、一のドライバにかかる負荷が大きくなってもその検出が不可能なので、そのドライバにおける消費電流が極端に大きくなる虞もある。

【0031】また、特開平 11-38930 号公報に開示された表示装置では、温度の検出のみが行われているため、電源及び個々のドライバに対する直接的な負荷の検出を行うことができないという問題点がある。このため、適切に消費電流を低減するためには、基準となる温度を低くする必要があり、保護が過剰になってしまう。

【0032】本発明はかかる問題点に鑑みてなされたものであって、過剰な保護を回避しながら回路を適切に保護することができるプラズマ表示装置及びその制御方法を提供することを目的とする。

【0033】

【課題を解決するための手段】本発明に係るプラズマ表示装置は、対向して配置された第 1 及び第 2 の基板、前記第 1 の基板における前記第 2 の基板との対向面側に互いに交互に設けられ第 1 の方向に延びる複数本の走査電極及び共通電極、並びに前記第 2 の基板における前記第 1 の基板との対向面側に設けられ前記第 1 の方向に直交する第 2 の方向に延びる複数本のデータ電極が設けられたプラズマディスプレイパネルと、前記データ電極にデータパルスを印加する複数個のデータドライバと、映像信号に基づいて前記データドライバの動作を制御する制御回路と、1 サブフィールド以上 1 フレーム未満の時間内に前記複数個のデータドライバからデータ電極に供給される電流の総和が予め設定された第 1 の規定電流値を超えたときに前記制御回路に対し前記データドライバの動作を抑制させる第 1 の保護信号を出力する保護信号出力回路と、を有することを特徴とする。

【0034】本発明においては、1 サブフィールド以上

1 フレーム未満の時間内に電流の総和が第1の規定電流値と比較され、この比較結果に基づいてデータドライバの動作が制御回路により制御される。従って、消費電流が高くなるサブフィールドが存在しても適切に電源を保護することができる。なお、電流の総和は、全てのデータドライバにおけるものに限定されるものではなく、データドライバを複数の群に分割し、群毎に第1の規定電流値を設定してもよい。但し、電源を最も効果的に保護できるのは、全てのデータドライバにおける電流の総和に対して第1の規定電流値を設定した場合である。

【0035】なお、前記保護信号出力回路に、前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第2の規定電流値を超えているか否かを判定させ、前記一のデータドライバに供給される電流が前記第2の規定電流値を超えている場合に前記制御回路に対し前記ドライバの動作を抑制させる第2の保護信号を出力させることにより、個々のデータドライバにおける損失をも適切に低減することができる。

【0036】本発明に係る他のプラズマ表示装置は、対向して配置された第1及び第2の基板、前記第1の基板における前記第2の基板との対向面側に互いに交互に設けられ第1の方向に延びる複数本の走査電極及び共通電極、並びに前記第2の基板における前記第1の基板との対向面側に設けられ前記第1の方向に直交する第2の方向に延びる複数本のデータ電極が設けられたプラズマディスプレイパネルと、前記データ電極にデータパルスを印加する複数個のデータドライバと、映像信号に基づいて前記データドライバの動作を制御する制御回路と、前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第2の規定電流値を超えているか否かを判定し前記一のデータドライバに供給される電流が前記第2の規定電流値を超えている場合に前記制御回路に対し前記ドライバの動作を抑制させる第2の保護信号を出力する保護信号出力回路と、を有することを特徴とする。

【0037】なお、前記保護信号出力回路に、前記判定を前記データドライバ周辺の温度が予め設定された規定温度を超えたときに開始させることにより、過剰な保護をより確実に回避できる。

【0038】また、前記制御回路に、前記第1又は第2の保護信号の入力をトリガとして、1フレームを構成する複数のサブフィールドのうち最下位から順次サブフィールドを削除させてもよく、隣接する2本の走査電極に対し前記データドライバに互いに同一のデータパルスを印加させてもよい。更に、前記保護信号出力回路は、マイクロコンピュータにより構成されていてもよい。

【0039】本発明に係るプラズマ表示装置の駆動方法は、対向して配置された第1及び第2の基板、前記第1の基板における前記第2の基板との対向面側に互いに交

互に設けられ第1の方向に延びる複数本の走査電極及び共通電極、並びに前記第2の基板における前記第1の基板との対向面側に設けられ前記第1の方向に直交する第2の方向に延びる複数本のデータ電極が設けられたプラズマ表示装置に映像信号に応じた表示を行わせるプラズマ表示装置の駆動方法において、1サブフィールド以上1フレーム未満の時間内に前記複数個のデータドライバからデータ電極に供給される電流の総和が予め設定された第1の規定電流値を超えたときに前記データドライバの動作を抑制させる工程を有することを特徴とする。

【0040】なお、前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第2の規定電流値を超えているか否かを判定する工程と、前記一のデータドライバに供給される電流が前記第2の規定電流値を超えている場合に前記ドライバの動作を抑制させる工程と、を有することができる。

【0041】本発明に係る他のプラズマ表示装置の駆動方法は、対向して配置された第1及び第2の基板、前記第1の基板における前記第2の基板との対向面側に互いに交互に設けられ第1の方向に延びる複数本の走査電極及び共通電極、並びに前記第2の基板における前記第1の基板との対向面側に設けられ前記第1の方向に直交する第2の方向に延びる複数本のデータ電極が設けられたプラズマ表示装置に映像信号に応じた表示を行わせるプラズマ表示装置の駆動方法において、前記複数個のデータドライバのうち少なくとも一のデータドライバからデータ電極に供給される電流が予め設定された第2の規定電流値を超えているか否かを判定する工程と、前記一のデータドライバに供給される電流が前記第2の規定電流値を超えている場合に前記ドライバの動作を抑制させる工程と、を有することを特徴とする。

【0042】前記判定を前記データドライバ周辺の温度が予め設定された規定温度を超えたときに開始してもよく、前記ドライバの動作を抑制させる工程において、1フレームを構成する複数のサブフィールドのうち最下位から順次サブフィールドを削除することができ、及び/又は隣接する2本の走査電極に対し互いに同一のデータパルスを印加することができる。

【0043】

【発明の実施の形態】以下、本発明の実施例に係るプラズマ表示装置について、添付の図面を参照して具体的に説明する。図1は本発明の実施例に係るプラズマ表示装置の構造を示すブロック図である。

【0044】本実施例においては、プラズマディスプレイパネル(PDP)51に、n本の走査電極53及びn本の共通電極54並びに(3×m)本のデータ電極52が設けられている。走査電極53及び共通電極54は、交互に水平方向(行方向)に延びるようにして配置され、データ電極52は、走査電極53及び共通電極54

に対して直交に、即ち垂直方向（列方向）に延びるようにして配置されている。走査電極53は走査パルスドライバ（図示せず）に接続され、共通電極は維持ドライバ（図示せず）に接続されている。データ電極52については、第1列目から第m列目のデータ電極52がデータハイブリッド集積回路（データHIC）61に接続され、第（m+1）列目から第（2×m）列目のデータ電極52がデータHIC62に接続され、第（2×m+1）列目から第（3×m）列目のデータ電極52がデータHIC63に接続されている。データHIC61乃至63がデータドライバに相当する。

【0045】図2はデータHIC61の構造を示すブロック図である。データHIC61には、データ信号DATA及びクロック信号CLOCKが入力されるシフトレジスタSR、シフトレジスタSRから出力されたデータ信号をラッチするラッチ回路LE、夫々ラッチ回路LEの出力端子L1乃至Lmからの出力信号が一方の入力端に輸入される2入力の論理積ゲートAND1乃至ANDm、並びに夫々論理積ゲートAND1乃至ANDmの出力信号がゲートに輸入されるCMOSトランジスタからなるインバータIV1乃至IVmが設けられている。ラッチ回路LEには、出力タイミングを指示するラッチ信号LATCHが入力され、論理積ゲートAND1乃至ANDmの他方の入力端には、アドレス期間にハイになりその他の期間にロウになるブランク信号BLANKが入力される。インバータIV1乃至IVmを構成するCMOSトランジスタのPチャネルMOSトランジスタのドレインには、データ電圧Vd1が供給され、NチャネルMOSトランジスタのドレインは接地されている。インバータIVk（kはm以下の自然数）の出力信号は第k列目のデータ電極52にデータパルスDkとして出力される。

【0046】データHIC62及び63の構造はデータHIC61のものとほぼ同様であるが、夫々データ電圧としてデータ電圧Vd2、Vd3が供給される点で、データHIC61と相違している。

【0047】データHIC61、62及び63は、信号中継基板64に接続されている。図3は信号中継基板64の構造を示す回路図である。信号中継基板64には、電源（図示せず）から電源電圧VDDが供給される抵抗素子R1-4及びR2-4が設けられている。抵抗素子1-4の他端はバイポーラトランジスタTr4のベースに接続され、抵抗素子2-4の他端はバイポーラトランジスタTr4のエミッタに接続されている。バイポーラトランジスタTr4のコレクタと接地との間に抵抗素子R3-4及びR4-4が直列に接続されている。抵抗素子R3-4及びR4-4の接続点に、マイクロコンピュータ65に内蔵されたアナログ／デジタル（A/D）変換器66aが接続されている。

【0048】また、バイポーラトランジスタTr4のベ

ースに抵抗素子R1-1、R2-1、R1-2、R2-2、R1-3及びR2-3が並列に接続されている。抵抗素子1-1の他端はバイポーラトランジスタTr1のベースに接続され、抵抗素子2-1の他端はバイポーラトランジスタTr1のエミッタに接続されている。バイポーラトランジスタTr1のコレクタと接地との間に抵抗素子R3-1及びR4-1が直列に接続されている。同様に、抵抗素子1-2の他端はバイポーラトランジスタTr2のベースに接続され、抵抗素子2-2の他端はバイポーラトランジスタTr2のエミッタに接続されている。バイポーラトランジスタTr2のコレクタと接地との間に抵抗素子R3-2及びR4-2が直列に接続されている。更に、抵抗素子1-3の他端はバイポーラトランジスタTr3のベースに接続され、抵抗素子2-3の他端はバイポーラトランジスタTr3のエミッタに接続されている。バイポーラトランジスタTr3のコレクタと接地との間に抵抗素子R3-3及びR4-3が直列に接続されている。抵抗素子R3-1及びR4-1の接続点、抵抗素子R3-2及びR4-2の接続点並びに抵抗素子R3-3及びR4-3の接続点は、マイクロコンピュータ65に内蔵されたA/D変換器66bに共通接続されている。

【0049】更に、電源電圧VDDが供給されるサーミスタTH1乃至TH3が設けられている。サーミスタTH1乃至TH3と接地との間には、夫々抵抗素子R5-1乃至R5-3が接続されている。サーミスタTH1及び抵抗素子R5-1の接続点、サーミスタTH2及び抵抗素子R5-2の接続点並びにサーミスタTH3及び抵抗素子R5-3の接続点は、マイクロコンピュータ65に内蔵されたA/D変換器66cに共通接続されている。サーミスタTH1乃至TH3は、夫々データHIC61乃至63の近傍に配置されている。

【0050】マイクロプログラム制御装置（MCU）としてのマイクロコンピュータ（保護信号出力回路）65は、A/D変換器66a乃至66cから出力されたデジタル信号に基づいて、所定の温度又は電流値が予め設定された値を超えたときにプロテクト検出信号（第1乃至第4の保護信号）を制御回路67に出力する。制御回路67には、表示データ制御部68及びパネル駆動制御部69が設けられており、入力された映像信号に基づいて表示データ制御部68によりデータ信号DATAが作成され、パネル駆動制御部69によりクロック信号CLOCK、ブランク信号BLANK及びラッチ信号LATCHが作成される。また、制御回路67によって走査パルスドライバ及び維持ドライバ（図示せず）等の制御も従来と同様に行われる。

【0051】次に、上述のように構成された本実施例の動作について説明する。図4及び図5は本発明の実施例に係るプラズマ表示装置の動作を示すフローチャートである。なお、以下の動作の説明では、1フレームが8の

サブフィールドSF1乃至SF8により構成され、256階調の表示が可能なものとする。また、保護動作が行われない場合には、プログレッシブ表示が行われるものとする。

【0052】本実施例においては、映像信号が制御回路65に入力されると、データ信号DATA、クロック信号CLOCK、blank信号BLANK及びラッチ信号LATCHが制御回路65から信号中継基板64に出力される。信号中継基板64では、blank信号BLANKのみがマイクロコンピュータ65に入力され、その他のデータ信号DATA、クロック信号CLOCK及びラッチ信号LATCHは、単に中継されるのみで、そのままデータHIC61乃至63に出力される。

【0053】データHIC61では、クロック信号CLOCKに同期してデータ信号DATAがシフトレジスタSRに取り込まれ、更にラッチ信号LATCHがロウとなっている間にラッチ回路LEにラッチされる。そして、ラッチ信号LATCHがハイとなったときにデータ信号が論理積ゲートAND1乃至ANDmに出力され、blank信号BLANKがハイであれば、インバータIV1乃至IVmによって反転されてデータパルスD1乃至Dmとして各データ電極52に出力される。

【0054】この結果、各インバータIV1乃至IVmのPチャネルMOSトランジスタのソースに供給されている電流が変動する。このような動作は、データHIC62及び63においても同時に行われ、同様に、夫々のPチャネルMOSトランジスタのソースに供給されている電流が変動する。

【0055】信号中継基板64では、サーミスタTH1乃至TH3によって検出された温度が電圧に変換され、更にA/D変換器66cによりデジタル信号に変換される。また、データHIC61に供給される電流値は、抵抗素子R1-1、R2-1、R3-1、R4-1及びR5-1並びにバイポーラトランジスタTr1により構成される個別電力検出部71により検出され、データHIC62に供給される電流値は、抵抗素子R1-2、R2-2、R3-2、R4-2及びR5-2並びにバイポーラトランジスタTr2により構成される個別電力検出部72により検出され、データHIC63に供給される電流値は、抵抗素子R1-3、R2-3、R3-3、R4-3及びR5-3並びにバイポーラトランジスタTr3により構成される個別電力検出部73により検出される。そして、A/D変換器66bによりデジタル信号に変換される。更に、データHIC61、62及び63に供給される電流値の総和が、抵抗素子R1-4、R2-4、R3-4、R4-4及びR5-4並びにバイポーラトランジスタTr4により構成される総合電力検出部74により検出される。

【0056】そして、マイクロコンピュータ65は、blank信号BLANKの立ち上がりトリガとして、ア

ドレス期間になったことを認識して、サーミスタTH1乃至TH3により検出された温度Tのうち少なくとも1つが規定温度T0を超えているか否かを判定する(ステップS1)。いずれの温度も規定温度T0を超えていなければ、所定時間を経過した後に、再度温度の判定を行う。

【0057】少なくとも1つが規定温度T0を超えている場合には、個別電力検出部71乃至73により検出された電流値Iのうち少なくとも1つが規定電流値I1を超えているか否かを判定する(ステップS2)。この判定では、例えば、10μ秒間に流れた電流値を10回検出してそのうち6回以上で規定電流値I1を超えたか否かを判別し、この検出から判別までの工程を10工程繰り返し、この10工程のうち6工程以上連続して電流値Iが規定電流値I1を超えていると判別された場合に、個別電力検出部71乃至73により検出された電流値Iのうち少なくとも1つが規定電流値I1を超えていると判定する。そして、いずれの電流値Iも規定電流値I1を超えていなければ、所定時間を経過した後に、再度温度の判定を行う。

【0058】少なくとも1つが規定電流値(第2の規定電流値)I1を超えている場合には、マイクロコンピュータ65は、第1の保護動作を行うための指示をプロテクト検出信号(第2の保護信号)として制御回路67に出力する。制御回路67は、このプロテクト検出信号を入力すると、例えば最下位(LSB: Least Significant Bit)のサブフィールドSF1の削除を行う。即ち、1フレームを7のサブフィールドSF2乃至SF8により構成し、階調を128に低下させる(ステップS3)。次いで、マイクロコンピュータ65は、個別電力検出部71乃至73により検出された電流値Iのうち少なくとも1つが規定電流値(第3の規定電流値)I2を超えているか否かを判定する(ステップS4)。規定電流値I2は、例えば規定電流値I1よりも大きく設定される。この判定も、例えば電流値Iのうち少なくとも1つが規定電流値I1を超えているか否かの判定と同様の方法により行うことができる。そして、いずれの電流値Iも規定電流値I2を超えていなければ、第1の保護動作により十分に電流が低減されたとして、再度規定電流値I1を超えているか否かの判定を行う。

【0059】少なくとも1つが規定電流値I2を超えている場合には、第1の保護動作では電流の低減が不十分であるとして、マイクロコンピュータ65は、第2の保護動作を行うための指示をプロテクト検出信号(第3の保護信号)として制御回路67に出力する。制御回路67は、このプロテクト検出信号を入力すると、例えばサブフィールドSF1より1だけ上位のサブフィールドSF2の削除を行う。即ち、1フレームを6のサブフィールドSF3乃至SF8により構成し、階調を64に低下させる(ステップS5)。次に、マイクロコンピュータ

65は、個別電力検出部71乃至73により検出された電流値Iのうち少なくとも1つが規定電流値(第4の規定電流値)I<sub>3</sub>を超えているか否かを判定する(ステップS6)。規定電流値I<sub>3</sub>は、例えば規定電流値I<sub>2</sub>よりも大きく設定される。この判定も、例えば電流値Iのうち少なくとも1つが規定電流値I<sub>1</sub>を超えているか否かの判定と同様の方法により行うことができる。そして、いずれの電流値Iも規定電流値I<sub>3</sub>を超えていなければ、第2の保護動作により十分に電流が低減されたとして、再度規定電流値I<sub>2</sub>を超えているか否かの判定を行う。

【0060】少なくとも1つが規定電流値I<sub>3</sub>を超えている場合には、第2の保護動作では電流の低減が不十分であるとして、マイクロコンピュータ65は、第2の保護動作を行うための指示をプロテクト検出信号(第4の保護信号)として制御回路67に出力する。制御回路67は、このプロテクト検出信号を入力すると、例えばプログレッシブ表示を隣接する2表示行を同時に駆動するインタレース表示に切り替える。即ち、データ信号DATAをラッチするタイミングを2ビットずつとし、更に奇数番目のフィールドと偶数番目のフィールドとの間でデータ信号DATAをラッチするタイミングを1ビットずらす(ステップS7)。

【0061】また、これらのステップS1乃至S7とは別のルーチンで、マイクロコンピュータ65は、図5に示すように、例えば1サブフィールド以上1フレーム以下の時間毎に総合電力検出部74により検出された電流I<sub>t</sub>が規定電流値(第1の規定電流値)I<sub>4</sub>を超えているか否かの判定を行う(ステップS11)。

【0062】電流I<sub>t</sub>が規定電流値I<sub>4</sub>を超えている場合には、マイクロコンピュータ65は、第4の保護動作を行うための指示をプロテクト検出信号(第1の保護信号)として制御回路67に出力する。制御回路67は、このプロテクト検出信号を入力すると、例えば、第3の保護動作と同様に、プログレッシブ表示を隣接する2表示行を同時に駆動するインタレース表示に切り替える(ステップS12)。

【0063】規定電流値I<sub>1</sub>乃至I<sub>4</sub>の値については、最も電力消費が大きくなる1ドット千鳥の表示を行う際に1個の信号中継基板に流れる電流の総和を100とすると、通常のテレビジョン放送での動画表示で3個のデータHICに供給される個別の電流は大きくても20乃至30程度であるので、例えば、規定電流値I<sub>1</sub>を16、規定電流値I<sub>2</sub>を18、規定電流値I<sub>3</sub>を20、規定電流値I<sub>4</sub>を50とすることができるが、本発明はこれらに限定されるものではない。

【0064】このような本実施例によれば、まず、温度の比較及び3段階の個別電流値の比較が行われるので、各データHIC61乃至63に対して過剰な保護を回避しながら適切な保護を行うことができる。また、常に1

個の信号中継基板64に接続された3個のデータHIC61乃至63に供給される電流の総和I<sub>t</sub>が規定電流値I<sub>4</sub>と比較され、電流の総和I<sub>t</sub>が規定電流値I<sub>4</sub>を超えた場合には、第1乃至第3の保護動作のうちで最も電流削減に効果がある第3の保護動作と同じ第4の保護動作が行われるので、速やかに電源にかかる負荷を低減することができる。

【0065】なお、前述の実施例においては、1個のPDP1に対して1個の信号中継基板64及び3個のデータHIC61乃至63が設けられているが、2個以上の信号中継基板が設けられていてもよく、また、2又は4個以上のデータHICが設けられていてもよい。また、2個以上の信号中継基板が設けられている場合に、各信号中継基板に接続されるデータHICの数は信号中継基板毎に同一である必要はなく、例えば、一の信号中継基板には3個のデータHICが接続され、他の一の信号中継基板に4個のデータHICが接続されていてもよい。

【0066】また、個別の電流又はその総和が各規定電流値を超えているか否かを判定する方法は、上述の方法に限定されるものではなく、検出時間及び/又は検出回数が異なってもよい。

【0067】更に、各保護動作についても、上述の実施例におけるものに限定されるものではない。例えば、下位のサブフィールド全体を削除するのではなく、サブフィールドを残したまま、そのサブフィールドでのアドレス期間においてデータパルスの印加を停止させるようにしてもよい。但し、サブフィールドの削除数が大きくなりすぎると、階調数の低下に伴う画質の劣化の虞があり、また、インタレース表示に切り替えた場合には、フリッカの発生の虞があるため、これらの点に注意することが必要である。

【0068】次に、1フレームを11フィールドで構成した場合における消費電力の低減の効果についてシミュレーションに基づいて説明する。図6は9段階の保護動作を示す図である。図6において、「P」はプログレッシブ表示が行われることを示し、「I」はインタレース表示が行われることを示し、「C」はコーディングの変更としてそのサブフィールド内でデータパルスの印加の削除が行われることを示す。また、比率とは、1フレーム中でそのサブフィールドが占める割合を示す。但し、実映像の比率は映像に応じて随時変化するものであるが、平均的なものを想定して設定したものである。このシミュレーションでは、温度が規定温度を超えたときに保護動作0から保護動作1に移行し、その後、一定時間おきに下位のサブフィールドからインタレース表示に切り替えることとし、更に、下位の3つのサブフィールドをインタレース表示に切り替えた後は、データパルスの印加の削除を行うこととしている。

【0069】図7は9段階の保護動作による消費電力の低減率を示すグラフ図である。図7において、実線は実

映像における低減率を示し、破線は1ドット千鳥における低減率を示す。上述のような9段階の保護動作が行われた場合、実映像の方がより消費電力が低減されている。これは、図6に示すように、実映像の方が下位のサブフィールドの比率が高く、これらが削減されることによる消費電力の低減が大きく影響するからである。但し、実映像によっては、1ドット千鳥の表示の方が消費電力の低減の効果が大きくなる場合がある。

【0070】なお、本発明に係るプラズマ表示装置は、例えばテレビ受像機及びコンピュータのモニタ等の表示装置として使用することができる。図8に本発明を適用したプラズマディスプレイ（PDPマルチメディアモニタ）の構成の一例を示す。図8において、図10に示す従来のプラズマディスプレイと同一の構成要素には、同一の符号を付してその詳細な説明は省略する。このプラズマ表示装置では、PDP1及びその駆動回路の前段にアナログ・インターフェイス回路91と、デジタル信号処理回路92とが設けられている。また、交流100Vから装置各部に直流電圧を供給する電源回路93が設けられている。アナログ・インターフェイス回路91は、Y/C分離回路及びクロマ・デコーダ94と、アナログ・デジタル変換器（ADC）95と、画像フォーマット変換回路96と、逆ガンマ変換回路97と、同期信号制御回路98とから構成されている。

【0071】Y/C分離回路及びクロマ・デコーダ94は、この表示装置がテレビ受像機の表示部として用いられる場合に、アナログの映像信号Avを赤色（R）、緑色（G）及び青色（B）の各輝度信号に分解する回路である。ADC95は、この表示装置がコンピュータ等のモニタとして用いられる場合に、アナログのRGB信号ARGBをデジタルのRGB信号に変換し、この表示装置がテレビ受像機の表示部として用いられる場合に、Y/C分離回路及びクロマ・デコーダ94から供給されるR、G、B各色の輝度信号をデジタルのR、G、B各色の輝度信号に変換する回路である。画像フォーマット変換回路96は、PDP1の画素構成とADC95から供給されるデジタルのR、G、B各色の輝度信号の画素構成とが相違している場合に、デジタルのR、G、B各色の輝度信号の画素構成をPDP1の画素構成に適合するように変換する回路である。逆ガンマ変換回路97は、CRTディスプレイのガンマ特性に適合するようにガンマ補正されているデジタルのRGB信号又は画像フォーマット変換回路96からのデジタルのR、G、B各色の輝度信号の特性をPDP1の線形なガンマ特性に適合するように逆ガンマ補正する回路である。同期信号制御回路98は、アナログの映像信号Avとともに供給される水平同期信号に基づいて、ADC95のサンプリングクロック信号及びデータクロック信号を生成する回路である。

【0072】なお、図10に示す従来のプラズマディス

プレイでは、論理電圧Vdd、データ電圧Vd及び維持電圧Vsが駆動用電源21により生成されると共に、プライミング電圧Vp等が維持電圧Vsに基づいて駆動用電源21により生成されている。一方、図8に示すプラズマ表示装置では、電源回路93が交流100Vから論理電圧Vdd、データ電圧Vd及び維持電圧Vsを生成し、駆動用電源21は、電源回路93から供給される維持電圧Vsに基づいて、プライミング電圧Vp等を生成する構成を採用している。また、PDP1、コントローラ22、信号中継基板64、駆動用電源21、スキャンドライバ23、走査パルスドライバ24、維持ドライバ25、データドライバ26及びデジタル信号処理回路92がモジュール化されており、図1における制御回路67はコントローラ22に内蔵され、データHIC61乃至63がデータドライバ26に相当し、信号中継基板64がコントローラ22とデータドライバ26との間に設けられている。

#### 【0073】

【発明の効果】以上詳述したように、請求項1又は7に係る発明によれば、過剰な保護を回避しつつ、消費電流が高くなるサブフィールドが存在しても適切に電源を保護することができる。また、請求項3又は9に係る発明によれば、個々のデータドライバにおける損失を適切に低減することができる。更に、個々のデータドライバにおける電流の検出を温度検出の後に行うようにすれば、過剰な保護をより確実に回避することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例に係るプラズマ表示装置の構造を示すブロック図である。

【図2】データHIC61の構造を示すブロック図である。

【図3】信号中継基板64の構造を示す回路図である。

【図4】本発明の実施例に係るプラズマ表示装置の動作を示すフローチャートである。

【図5】同じく、本発明の実施例に係るプラズマ表示装置の動作を示すフローチャートである。

【図6】9段階の保護動作を示す図である。

【図7】9段階の保護動作による消費電力の低減率を示すグラフ図である。

【図8】本発明を適用した表示装置の構成の一例を示すブロック図である。

【図9】AC型プラズマディスプレイの一つの表示セル構成を例示する斜視図である。

【図10】従来のAC型プラズマディスプレイを示すブロック図である。

【図11】スキャンドライバ23及び走査パルスドライバ24の構造を示す回路図である。

【図12】維持ドライバ25の構造を示す回路図である。

【図13】データドライバ26の構造を示す回路図であ

る。

【図 14】従来のプラズマディスプレイの書込選択型駆動動作を示すタイミングチャートである。

【図15】特開平11-38930号公報に開示された表示装置を示すブロック図である。

【符号の説明】

5 1 ; P D P

52 ; データ電極

5 3 ; 走査電極

5 4 ; 共通電極

61、62、63；データHIC

## 6 4 ; 信号中継基板

65 ; マイクロコンピュータ

66a、66b、66c；A/D变换器

## 6.7 ; 制御回路

68 ; 表示データ制御部

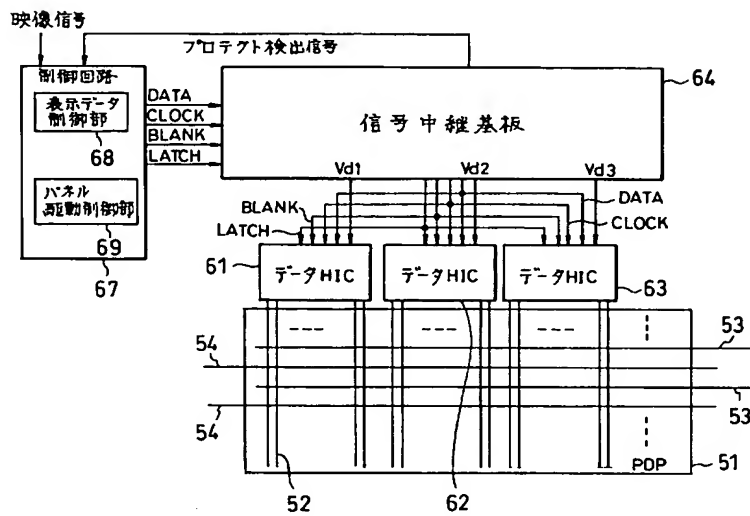
69 ; パネル駆動制御部

7 1、7 2、7 3；個別電力検出部

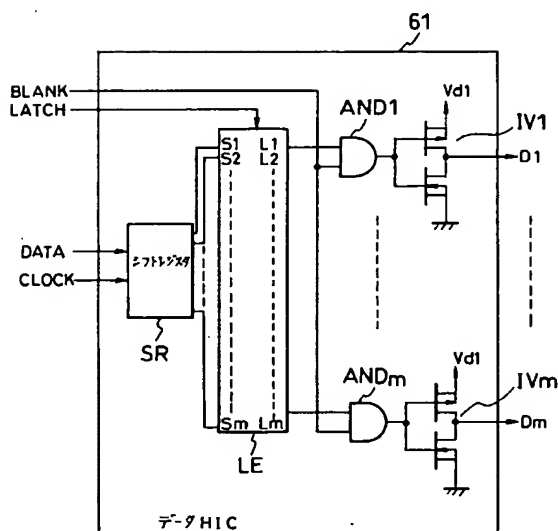
7 4 ; 総合電力検出部

10 TH1、TH2、TH3、TH4；サーミスタ

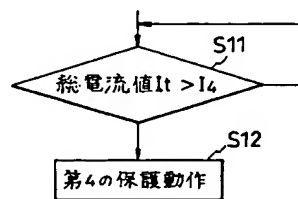
【图 1】



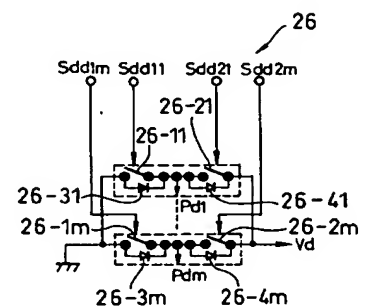
【図 2】



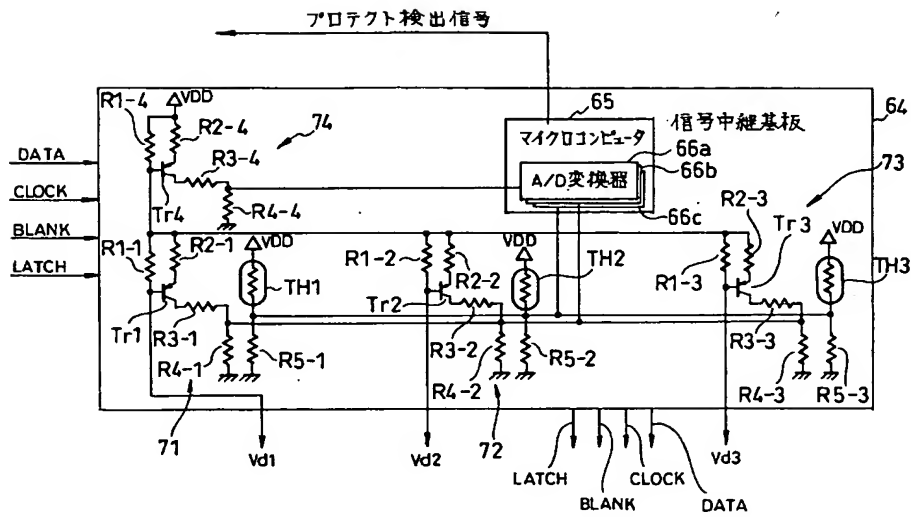
【図5】



【図 13】



【図3】



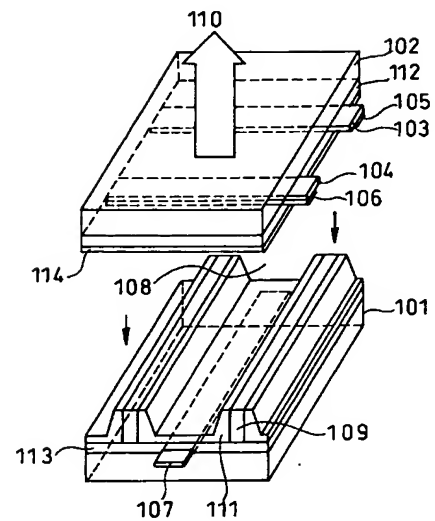
【図6】

比率	1ドット千鳥	0.090909	0.090909	0.090909	0.090909	0.090909
サブフィールド	実映像	0.175	0.175	0.15	0.1111	0.09722
		SF1	SF2	SF3	SF4	SF5
保護動作	0	P	P	P	P	P
	1	I	P	P	P	P
	2	I	I	P	P	P
	3	I	I	I	P	P
	4	C	I	I	I	P
	5	C	C	I	I	I
	6	C	C	C	I	I
	7	C	C	C	C	I
	8	C	C	C	C	C
	9	C	C	C	C	C

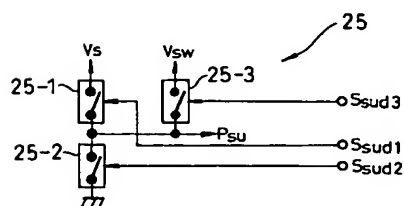
  

比率	1ドット千鳥	0.090909	0.090909	0.090909	0.090909	0.090909
サブフィールド	実映像	0.08333	0.06944	0.05555	0.041667	0.02777
		SF6	SF7	SF8	SF9	SF10
保護動作	0	P	P	P	P	P
	1	P	P	P	P	P
	2	P	P	P	P	P
	3	P	P	P	P	P
	4	P	P	P	P	P
	5	P	P	P	P	P
	6	I	P	P	P	P
	7	I	I	P	P	P
	8	I	I	I	P	P
	9	I	I	I	I	I

【図9】



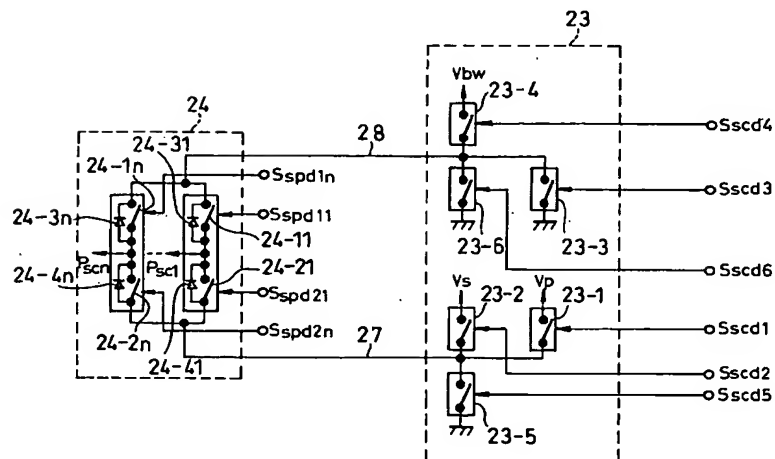
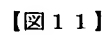
【図12】



保護動作 (x)	低減率 (%) (Solid Line)	低減率 (%) (Dashed Line)
0	0.00	0.00
1	8.00	4.00
2	18.00	9.00
3	25.00	13.00
4	39.00	22.00
5	53.00	32.00
6	65.00	41.00
7	74.00	50.00
8	82.00	59.00
9	87.00	73.00

Figure 1 is a block diagram of a video display system. The system includes an analog input interface (91) that receives RGB and Y signals. The RGB signals are processed by an ADC (95), a gamma correction circuit (97), and an image format conversion circuit (96). The Y signal is processed by a Y/C separator and chroma decoder (94) and a sync signal control circuit (98). A power supply circuit (93) provides Vdd, Vs, and Vd from a 100V AC source. A digital signal processing circuit (92) receives digital signals (Sv) and controls the system via a controller (22). The controller manages a signal intermediate board (64) and a data driver (26). The data driver is connected to a display panel (1) and a scan driver (23). A walk-bar driver (24) is also connected to the display panel. A motor power supply (21) and a maintenance driver (25) are also shown.

22



The timing diagram for the 174T4-LD device illustrates the relationship between various signals and timing intervals. The signals shown are:

- Vp**: Positive supply voltage, which ramps up and then settles.
- Vs**: Sense voltage, which is a constant level below Vp.
- Vbw**: Bias voltage, which is a constant level below Vs.
- GND**: Ground reference.
- Vsw**: Switching voltage, which is a constant level below Vs.
- Vs**: Sense voltage (repeated).
- GND**: Ground reference (repeated).
- Ppsca**: Pre-charge sense current, which ramps up and then settles.
- Ppre**: Pre-charge current, which is a constant level during the pre-charge phase.
- Pwsn**: Write sense current, which is a constant level during the write sense phase.
- Pprn**: Pre-charge read current, which is a constant level during the pre-charge read phase.
- Pbp**: Bias current, which is a constant level during the bias phase.
- Psun1**: Sense current 1, which is a constant level during the sense phase 1.
- Psun2**: Sense current 2, which is a constant level during the sense phase 2.
- Sscd1** through **Sscd5**: Sense current data signals, which are constant levels during the sense phase.
- Ssd1** through **Ssd3**: Sense data signals, which are constant levels during the sense phase.
- Sspd11** through **Sspd21**: Sense data signals, which are constant levels during the sense phase.
- Sspd1a** through **Sspd2a**: Sense data signals, which are constant levels during the sense phase.
- Sspd1n** through **Sspd2n**: Sense data signals, which are constant levels during the sense phase.

The timing intervals are defined as:

- Tp**: Pre-charge time.
- Ta**: Access time.
- Ts**: Sense time.
- Te**: Exit time.

The block diagram illustrates the control system for the video display device. It includes the following components and connections:

- 電源 (Power Source) 82:** Provides power to the **マイクロコンピュータ (Microcomputer) 81** and the **温度検出回路 (Temperature Detection Circuit) 85**.
- マイクロコンピュータ (Microcomputer) 81:** Controls the **制御回路 (Control Circuit) 68** and the **アドレスドライバ回路 (Address Driver Circuit) 83**.
- 制御回路 (Control Circuit) 68:** Contains a **表示データ制御部 (Display Data Control Section) 69** and a **パルス発生制御部 (Pulse Generation Control Section) 67**. It receives **映像信号 (Video Signal)** and sends **DATA**, **CLOCK**, **BLANK**, and **LATCH** signals to the **アドレスドライバ回路 (Address Driver Circuit) 83**.
- アドレスドライバ回路 (Address Driver Circuit) 83:** Receives control signals from the microcomputer and the control circuit. It drives the **ドライバIC (Driver IC) 84** and the **温度検出回路 (Temperature Detection Circuit) 85**.
- 温度検出回路 (Temperature Detection Circuit) 85:** Detects temperature and outputs a signal to the **ドライバIC (Driver IC) 84**.
- ドライバIC (Driver IC) 84:** Receives signals from the address driver circuit and the temperature detection circuit, and drives the **PDP (Plasma Display Panel) 51**.
- PDP (Plasma Display Panel) 51:** The display element, which includes a **52** (likely a cathode) and a **53** (likely an anode). It is connected to the **ドライバIC (Driver IC) 84** and the **温度検出回路 (Temperature Detection Circuit) 85**.

(72)発明者	中村 修士	
	東京都港区芝五丁目7番1号	日本電気株
	式会社内	
(72)発明者	白澤 裕	
	東京都港区芝五丁目7番1号	日本電気株
	式会社内	

(72)発明者 東海林 孝年  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
Fターム(参考) 5C058 AA11 BA01 BA30 BB03 BB25  
5C080 AA05 BB05 DD19 EE29 FF12  
HH02 HH04 JJ02 JJ03 JJ04  
JJ05 JJ06 JJ07